

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

SOON-YONG KWEON

Application No.:

Filed:

For: METHOD FOR FABRICATING FERROELECTRIC  
RANDOM ACCESS MEMORY DEVICE HAVING  
CAPACITOR WITH MERGED TOP-ELECTRODE  
AND PLATE-LINE STRUCTURE

Art Group:

Examiner:

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Republic of Korea	2003-43078	30 June 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: December 12, 2003

12400 Wilshire Boulevard, 7th Floor  
Los Angeles, CA 90025  
Telephone: (310) 207-3800

  
Eric S. Hyman, Reg. No. 30,139



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0043078  
Application Number

출원 년 월 일 : 2003년 06월 30일  
Date of Application JUN 30, 2003

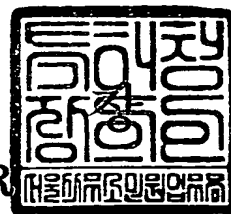
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0031  
**【제출일자】** 2003.06.30  
**【발명의 명칭】** 엠티피 구조의 캐패시터를 구비하는 강유전체 메모리 소자의 제조 방법  
**【발명의 영문명칭】** METHOD FOR FABRICATING FERROELECTRIC RANDOM ACCESS MEMORY WITH MERGED-TOP ELECTRODE-PLATELINE CAPACITOR  
**【출원인】**  
**【명칭】** 주식회사 하이닉스반도체  
**【출원인코드】** 1-1998-004569-8  
**【대리인】**  
**【명칭】** 특허법인 신성  
**【대리인코드】** 9-2000-100004-8  
**【지정된변리사】** 변리사 정지원, 변리사 원석희, 변리사 박해천  
**【포괄위임등록번호】** 2000-049307-2  
**【발명자】**  
**【성명의 국문표기】** 권순용  
**【성명의 영문표기】** KWEON, Soon Yong  
**【주민등록번호】** 680812-1460616  
**【우편번호】** 467-850  
**【주소】** 경기도 이천시 대월면 사동리 현대6차 아파트 602-601  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)  
**【수수료】**  
**【기본출원료】** 19 면 29,000 원  
**【가산출원료】** 0 면 0 원

【우선권주장료】	0	건	0	원
【심사청구료】	7	항	333,000	원
【합계】	362,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명은 하부전극이 절연막내에 매립되는 MTP 구조 형성시 하부전극과 절연막간 단차를 최소화할 수 있는 강유전체 메모리 소자의 캐패시터 제조 방법을 제공하기 위한 것으로, 본 발명은 반도체 기판 상부에 제1절연막을 형성하는 단계, 상기 제1절연막을 관통하여 상기 반도체 기판의 일부와 콘택되는 스토리지노드콘택을 형성하는 단계, 상기 제1절연막 상에 상기 스토리지노드콘택에 연결되는 하부전극과 하드마스크의 적층패턴을 형성하는 단계, 상기 적층패턴을 포함한 전면에 제2절연막을 형성하는 단계, 상기 적층패턴의 하드마스크 표면이 드러날 때까지 상기 제2절연막을 평탄화시키는 단계, 상기 표면이 드러난 하드마스크를 선택적으로 제거하여 상기 하부전극 표면을 상기 제2절연막 표면보다 낮추는 단계, 및 상기 하부전극을 포함한 상기 제2절연막 상에 강유전체막과 상부전극을 차례로 형성하는 단계를 포함한다.

**【대표도】**

도 2f

**【색인어】**

강유전체 메모리, MTP, 하부전극, 화학적기계적연마, 하드마스크

## 【명세서】

## 【발명의 명칭】

엠티피 구조의 캐패시터를 구비하는 강유전체 메모리 소자의 제조 방법 {METHOD FOR FABRICATING FERROELECTRIC RANDOM ACCESS MEMORY WITH MERGED-TOP ELECTRODE-PLATELINE CAPACITOR}

## 【도면의 간단한 설명】

도 1은 종래기술에 따른 MTP 구조의 강유전체 메모리 소자를 도시한 소자 단면도,

도 2a 내지 도 2f는 본 발명의 실시예에 따른 강유전체 메모리 소자의 제조 방법을 도시한 공정 단면도.

\*도면의 주요 부분에 대한 부호의 설명

21 : 반도체기판	22 : 소자분리막
23 : 접합영역	24 : 제1절연막
25 : TiN/Ti 배리어막	28 : 텅스텐
30 : 접착층	31a : 하부전극
32 : 하드마스크	33 : 제2절연막
34 : 강유전체막	35 : 상부전극

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 반도체소자의 제조 방법에 관한 것으로, 특히 강유전체 메모리소자의 제조 방법에 관한 것이다.
- <11> 일반적으로, 반도체 메모리 소자에서 강유전체(Ferroelectric) 박막을 강유전체 캐패시터에 사용함으로써 DRAM(Dynamic Random Access Memory) 소자에서 필요한 리프레쉬(Refresh)의 한계를 극복하고 대용량의 메모리를 이용할 수 있는 소자의 개발이 진행되어왔다. 이러한 강유전체 박막을 이용하는 강유전체 메모리 소자(Ferroelectric Random Access Memory; 이하 'FeRAM'이라 약칭함) 소자는 비휘발성 메모리 소자(Nonvolatile Memory device)의 일종으로 전원이 끊어진 상태에서도 저장 정보를 기억하는 장점이 있을 뿐만 아니라 동작 속도도 DRAM에 필적하여 차세대 기억소자로 각광받고 있다.
- <12> 최근에는 고밀도 강유전체 메모리 소자 제작시 MTP(Merged Top electrode Plateline) 구조를 적용하고 있다.
- <13> 도 1은 종래기술에 따른 MTP 구조의 강유전체 메모리 소자를 도시한 소자 단면도이다.
- <14> 도 1을 참조하면, 반도체기판(11)에 활성영역을 정의하는 소자분리막(12)이 형성되고, 반도체기판(11) 내에 트랜지스터의 소스/드레인과 같은 접합영역(13)이 형성된다.
- <15> 그리고, 반도체 기판(11) 상부에 제1절연막(14)이 형성되고, 제1절연막(14)을 관통하여 접합영역(13)에 콘택되는 스토리지노드콘택(15)이 형성되며, 스토리지노드콘택(15)에 연결되는 하부전극(16)이 제1절연막(14) 상부에 형성된다.

- <16> 그리고, 이웃한 하부전극(16)간 격리를 위해 표면이 평탄화된 제2절연막(17)이 하부전극(16)을 에워싸고 있으며, 여기서, 제2절연막(17)과 하부전극(16)은 그 표면이 실질적으로 평탄하다.
- <17> 그리고, 제2절연막(17)과 하부전극(16) 상에 강유전체막(18)이 형성되고, 강유전체막(18) 상에 상부전극(19)이 형성된다.
- <18> 도 1과 같은 상술한 종래기술은 상부전극(19)이 플레이트라인(plateline)을 겸하는 MTP 구조의 강유전체 메모리 소자를 형성하고 있다.
- <19> 한편, 종래 기술은 제2절연막(17)이 하부전극(16)을 에워싸는 형태로 형성시키기 위해, 패터닝공정을 통해 하부전극(16)을 한 비트(one bit)씩 분리 식각한 후 제2절연막(17)을 증착하고, 하부전극(16) 표면이 드러날때까지 화학적기계적연마[ CMP; Chemical Mechanical Polishing)를 통해 제2절연막(22)을 평탄화시킨다. 그러나, 하부전극(16) 표면을 노출시키기 위해서는 과도(over) CMP가 필요하며, 이때 하부전극(16) 표면과 제2절연막(17) 표면 사이에 단차(X)가 발생하고, 주로 금속막인 하부전극(16) 표면에 화학적기계적연마 과정에서 슬러리 등에 의해 스크래치(scratch) 등의 결함이 유발되는 문제가 있다. 특히, 하부전극(16)과 제2절연막(17) 사이의 단차(X)가 크게 발생하는 경우에는 후속 강유전체막(18) 증착을 스핀온법 (spin on)으로 하는 경우 크랙(crack) 등을 유발시킬 수 있는 단점이 있다.
- <20> 이와 같은 크랙 등은 강유전체막(18)과 하부전극(16)간의 계면 특성을 악화시키고 하부전극(16)간의 단락을 초래하며, 셀면적의 균일성을 확보하는데 나쁜 영향을 미친다.

**【발명이 이루고자 하는 기술적 과제】**

- <21> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 안출한 것으로, 하부전극이 절연막내에 매립되는 MTP 구조 형성시 하부전극과 절연막간 단차를 최소화할 수 있는 강유전체 메모리 소자의 제조 방법을 제공하는데 그 목적이 있다.

**【발명의 구성 및 작용】**

- <22> 상기 목적을 달성하기 위한 본 발명의 강유전체 메모리 소자의 제조 방법은 반도체 기판 상부에 제1절연막을 형성하는 단계, 상기 제1절연막을 관통하여 상기 반도체 기판의 일부와 콘택되는 스토리지노드콘택을 형성하는 단계, 상기 제1절연막 상에 상기 스토리지노드콘택에 연결되는 하부전극과 하드마스크의 적층패턴을 형성하는 단계, 상기 적층패턴을 포함한 전면에 제2절연막을 형성하는 단계, 상기 적층패턴의 하드마스크 표면이 드러날때까지 상기 제2절연막을 평탄화시키는 단계, 상기 표면이 드러난 하드마스크를 선택적으로 제거하여 상기 하부전극 표면을 상기 제2절연막 표면보다 낮추는 단계, 및 상기 하부전극을 포함한 상기 제2절연막 상에 강유전체막과 상부전극을 차례로 형성하는 단계를 포함하는 것을 특징으로 하며, 상기 하드마스크는 티타늄나이트라이드, 탄탈륨나이트라이드 또는 실리콘산화막이고, 상기 하부전극 표면을 상기 제2절연막 표면보다 낮추는 단계는 상기 하드마스크를 습식식각 또는 건식식각하여 이루어지는 것을 특징으로 한다.

- <23> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.
- <24> 도 2a 내지 도 2f는 본 발명의 실시예에 따른 강유전체 메모리 소자의 제조 방법을 도시한 공정 단면도이다.
- <25> 도 2a에 도시된 바와 같이, 반도체 기판(21)에 소자간 분리를 위한 소자분리막(22)을 형성하여 활성영역을 정의하고, 반도체 기판(21) 내에 트랜지스터의 소스/드레인과 같은 접합영역(23)을 형성한다. 이때, 접합영역(23)은 n형 불순물을 이온주입하여 형성한 것일 수 있다.
- <26> 다음으로, 반도체 기판(21) 상부에 제1절연막(24)을 증착 및 평탄화한다. 여기서, 제1절연막(24)은 고밀도플라즈마[HDP; High Density Plasma] 방식의 산화막을 이용한다. 그리고, 콘택마스크(도시 생략)로 제1절연막(24)을 식각하여 접합영역(23)을 노출시키는 스토리지노드콘택홀(도시 생략)을 형성한다.
- <27> 다음으로, 스토리지노드콘택홀에 매립되는 스토리지노드콘택을 형성한다. 예를 들어, 스토리지노드콘택홀을 포함한 제1절연막(24) 상부에 티타늄(Ti)과 티타늄나이트라이드(TiN)를 순차 형성하여 TiN/Ti 배리어막(25)을 형성한 후, 급속열처리[RTP; Rapid Thermal Process] 등을 통해 접합영역(23)과 티타늄 계면에 티타늄실리사이드[TiSi<sub>2</sub>, 26]를 형성하여 오믹콘택(ohmic contact)을 형성시킨다. 이때, 급속열처리는 830℃/N<sub>2</sub>/20초 조건으로 실시하며, 티타늄실리사이드(26) 형성을 위한 다른 방법으로 화학기상증착법[CVD; Chemical Vapor Deposition]을 이용하여 TiN/Ti 배리어막(25)을 바로 증착하면서 티타늄실리사이드(26)를 형성할 수도 있고, 이때는 후속 급속열처리[RTP]를 생략할 수 있다.

- <28> 다음으로, 티타늄나이트라이드(27)를 다시 증착하고, 그 위에 텅스텐(28)을 충분히 두껍게 증착하여 스토리지노드콘택홀을 매립한 후, 에치백 공정을 통해 리세스(recess)시켜 스토리지노드콘택홀에 부분 매립되는 텅스텐플러그 구조를 형성한다. 이때, 티타늄나이트라이드(27)는 텅스텐(28)과 접합영역(23)간 상호확산을 방지하기 위한 것으로, 200Å 두께이면 되고, 텅스텐(28)은 플러그의 크기에 따라서 결정되는데 직경이 0.30 $\mu$ m인 경우에는 3000Å 두께로 증착하면 된다. 텅스텐플러그 구조 형성시에도 TiN/Ti 배리어막(25) 증착시 화학기상증착법을 적용하는 경우에 티타늄나이트라이드(27)의 증착 공정은 생략할 수 있고, 또한 티타늄나이트라이드(27)를 충분히 두껍게 증착하여 스토리지노드콘택홀을 완전히 채우는 경우도 가능하고 이 경우에는 텅스텐 증착이 필요없다.
- <29> 한편, 리세스 공정시 리세스 깊이는 후속 공정 등을 고려하여 결정하는데, 500Å ~ 1500Å 정도이면 적당하다.
- <30> 다음으로, 리세스된 텅스텐플러그 구조 상부에 티타늄나이트라이드(29)를 다시 증착하여 스토리지노드콘택홀을 완전히 채운다. 이때, 티타늄나이트라이드(29)의 두께는 이전 공정의 리세스 깊이에 따라 결정되는데, 만약 1000Å 정도로 리세스시킨 경우라면 공정 마진을 고려하여 1500Å 두께로 증착하면 충분하다.
- <31> 다음으로, 티타늄나이트라이드의 화학적기계적연마 공정을 실시하여 티타늄나이트라이드(29)를 스토리지노드콘택홀에 매립시킨다. 즉, 배리드(buried) TiN 플러그 구조를 완성시킨다.
- <32> 다음으로, 배리드 TiN 플러그 구조 상부에 접착층(adhesion layer, 30)을 형성한 후, 마스크 및 식각 공정을 통해 접착층(30)의 일부를 식각하여 배리드 TiN 플러그 상부를 오픈시킨다. 이때, 접착층(30)으로는 알루미늄, TiO<sub>2</sub>를 이용한다.

<33> 예를 들어, 접착층(30)으로 알루미나( $Al_2O_3$ )를 이용하는 경우는, 알루미나를 충분히 얇게 증착하여 추가적인 접착층 오픈 마스크 및 식각 공정없이도 후속 열공정 등에 의해 알루미나가 파괴될 수 있도록 하여 배리드 TiN 플러그 상부를 오픈시킬 수 있다. 따라서, 알루미나의 두께는  $5\text{\AA} \sim 100\text{\AA}$ 이면 된다. 후속 열공정으로, 급속열처리(RTP)하여 티타늄나이트라이드(29) 상부의 알루미나에 크랙을 유발시킨다. 이때, 텅스텐(28)과 티타늄나이트라이드(29)의 열팽창 계수가 제1절연막(24)인 실리콘산화막보다 10배 정도 크기 때문에 티타늄나이트라이드(29)/텅스텐(28) 상부에만 크랙을 유발시킬 수 있다. 여기서, 급속열처리 온도는  $400^\circ\text{C} \sim 1000^\circ\text{C}$  정도로 하고, 분위기로 질소( $N_2$ ), 아르곤(Ar)을 이용하여 급속열처리시 티타늄나이트라이드(29)와 텅스텐(28)이 산화되지 않도록 한다. 다음으로, 크랙이 발생된 알루미나의 일부분을 SC-1( $NH_4OH:H_2O_2:H_2O=1:4:20$ ) 세정제로 세정하여 티타늄나이트라이드(29) 상부를 오픈시킨다.

<34> 도 2b에 도시된 바와 같이, 배리드 TiN 플러그 상부를 오픈시킨 접착층(30) 상에 제1도전막(31)과 하드마스크(32)를 차례로 형성한다. 이때, 제1도전막(31)은 화학기상증착법(CVD), 물리기상증착법(PVD), 원자층증착법(ALD) 및 플라즈마원자층증착법(PEALD) 중에서 선택된 하나의 증착법을 이용하여 증착되며, 백금(Pt), 이리듐(Ir), 루테튬(Ru), 레늄(Re) 및 로듐(Rh) 중에서 선택된 하나이거나 이들의 복합구조물을 이용한다. 예를 들어, 제1도전막(31)은 이리듐(Ir), 이리듐산화막( $IrO_2$ ) 및 백금(Pt)의 순서로 적층된 Pt/ $IrO_2$ /Ir막이고, 이때, 이리듐(Ir)은  $100\text{\AA} \sim 3000\text{\AA}$ , 이리듐산화막( $IrO_2$ )은  $10\text{\AA} \sim 500\text{\AA}$ , 백금(Pt)는  $100\text{\AA} \sim 5000\text{\AA}$  두께로 형성된다.

- <35> 그리고, 하드마스크(hard mask, 32)는 화학기상증착법(CVD), 물리기상증착법(PVD) 또는 원자층증착법(ALD)을 이용하여 형성한 티타늄나이트라이드(TiN), 탄탈륨나이트라이드(TaN) 또는  $\text{SiO}_x$ 이고, 그 두께는  $100\text{\AA} \sim 2000\text{\AA}$ 이다.
- <36> 다음으로, 하드마스크(32) 상에 감광막을 도포하고 노광 및 현상으로 패터닝하여 하부전극을 정의하는 감광막패턴(도시 생략)을 형성한 후, 감광막패턴을 식각마스크로 하여 하드마스크(32)를 패터닝한다. 그리고 나서, 감광막패턴을 제거한다.
- <37> 도 2c에 도시된 바와 같이, 패터닝된 하드마스크(32)를 식각마스크로 하여 제1도전막(31)을 한 비트씩 식각하여 하부전극(31a)을 형성한다. 이와 같은 하부전극(31a) 형성시 하드마스크(32)를  $100\text{\AA} \sim 1000\text{\AA}$  두께로 잔류시키며, 제1도전막(31) 아래의 접착층(30)도 동시에 식각된다.
- <38> 다음으로, 하부전극(31a)과 하드마스크(32)의 적층구조물을 포함한 전면에 제2절연막(33)을  $3000\text{\AA} \sim 10000\text{\AA}$  두께로 형성한다. 이때, 제2절연막(33)은 HDP(High Density Plasma) 산화막, BPSG(Boro Phospho Silicate Glass), PSG(Phosphorous Silicate Glass), MTO(Middle Temperature Oxide), HTO(High Temperature Oxide) 및 TEOS(Tetra Ethyl Ortho Silicate) 중에서 선택된 하나이다. 한편, 제2절연막(33)을 형성하기에 앞서 제2절연막(33) 증착시 산소가 하부전극(31a)으로 확산하는 것을 방지하기 위한 절연막을 먼저 증착한 후에 형성할 수 있는데, 이러한 산소확산방지 절연막으로는 알루미늄나( $\text{Al}_2\text{O}_3$ ), 실리콘질화막( $\text{Si}_3\text{N}_4$ ) 또는 실리콘옥시나이트라이드( $\text{SiON}$ )을 이용한다.

- <39> 도 2d에 도시된 바와 같이, 하드마스크(32) 표면이 드러나기 전까지 제2절연막(33)의 화학적기계적연마를 실시하여 제2절연막(33)을 일부 평탄화시킨 후, 다시 화학적기계적연마 및 에치백 공정을 실시하여 하드마스크(32) 표면을 노출시킨다.
- <40> 다른 방법으로, 한 번에 제2절연막(33)의 화학적기계적연마 또는 에치백 공정을 실시하여 하드마스크(32) 표면을 노출시킬 수도 있다.
- <41> 전술한 바와 같은 일련의 공정에 의해, 하부전극(31a) 상부의 하드마스크(32)가 드러나게 되고, 하부전극(31a)은 그 표면이 드러나면서 제2절연막(33)에 의해 에워싸이는 형태를 갖는다.
- <42> 도 2e에 도시된 바와 같이, 하부전극(31a) 패터닝후에 잔류시켰던 하드마스크(32)를 습식식각 또는 건식식각을 이용하여 제거한다. 예를 들어, SC-1 세정제( $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:4:20$ ) 또는 SPM( $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2=4:1$ ) 등의 습식케미컬을 이용하여 제거하는데, 이때, 하드마스크(32)의 습식식각을 통해 제2절연막(33)이 일부 손실될 수도 있으나, SC-1 세정제는 실리콘산화막을 거의 식각하지 않는다. 습식식각시 시간은 하드마스크(32)의 잔류 두께에 따라 결정하는데, 바람직하게는 10초~1시간 정도이다.
- <43> 또한, 아르곤(Ar)과 염소(Cl)의 혼합가스를 이용하여 하드마스크(32)를 제거한다.
- <44> 전술한 바와 같은 하드마스크(32)의 습식식각 또는 건식식각을 통해 하부전극(31a)의 표면이 드러나고, 이로써 하부전극(31a)의 표면은 주변의 제2절연막(33)보다 낮아진다. 아울러, 하드마스크(32)의 습식식각 또는 건식식각은 접촉식으로 표면을 마모시키는 화학적기계적연마와 달리 비접촉방식이므로 하부전극(31a) 표면에 스크래치 등의 결함을 발생시키지 않는다.

- <45> 도 2f에 도시된 바와 같이, 제2절연막(33)에 에워싸이는 하부전극(31a)의 전면에 강유전체막(34)과 상부전극(35)용 제2도전막을 차례로 증착한 후, 상부전극(35)용 제2도전막만을 선택적으로 식각하여 상부전극(35)을 형성한다.
- <46> 이때, 강유전체막(34)은 물리기상증착법(PVD), 화학기상증착법(CVD), 원자층증착법(ALD) 또는 금속유기물(MOD) 및 졸겔(Sol-gel)을 이용한 스핀코팅법(Spin coating) 중에서 선택된 하나의 증착법을 이용하여 증착하며, 통상의 SBT, PZT 및 BLT 중에서 선택된 하나이거나 불순물이 첨가되거나 조성 변화된 SBT, PZT, SBTN 및 BLT 중에서 선택된 하나를 이용한다. 예컨대, 강유전체막(34)으로 BLT를 이용하는 경우, 스핀온법을 통해 BLT를 증착한 후, 유기물 제거를 위해 150℃와 250℃에서 1차 베이킹을 실시하고, 그 다음 475℃/O<sub>2</sub>/60초 조건으로 1차 급속열처리하여 유기물과 불순물을 충분히 제거한다. 그리고 나서, 다시 650℃/O<sub>2</sub>/120초 조건으로 2차 급속열처리하는데, 이 2차 급속열처리공정에서는 BLT의 핵생성을 유도한다. 그 다음, 확산로(diffusion furnace)를 이용하여 650℃/O<sub>2</sub>/60분 조건으로 후속 열처리하는데, 이 후속 열처리에서는 BLT의 결정화를 극대화시킨다.
- <47> 전술한 바와 같이, 하부전극(31a)이 매립된 구조상에 강유전체막(34)을 형성하여 상부전극(35) 형성전에 평탄화를 이루므로써 후속 공정과 더불어 평탄한 구조를 용이하게 할 수 있다.
- <48> 한편, 상부전극(35)용 제2도전막은 하부전극(31a)으로 적용된 제1도전막을 선택하여 사용할 수 있고, 상부전극(35)은 몇 개의 셀을 동시에 연결시키는 플레이트라인 형태로 패턴닝한다.
- <49> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명

의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

#### 【발명의 효과】

<50> 상술한 본 발명은 하부전극을 에워싸는 절연막을 형성하기 위한 화학적기계적연마 과정에서 하부전극 표면에 스크래치가 발생하는 것을 방지함으로써 공정상의 안정성과 소자의 신뢰성을 향상시킬 수 있는 효과가 있다.



【특허청구범위】

【청구항 1】

반도체 기판 상부에 제1절연막을 형성하는 단계;

상기 제1절연막을 관통하여 상기 반도체 기판의 일부와 접촉되는 스토리지노드콘택을 형성하는 단계;

상기 제1절연막 상에 상기 스토리지노드콘택에 연결되는 하부전극과 하드마스크의 적층 패턴을 형성하는 단계;

상기 적층패턴을 포함한 전면에 제2절연막을 형성하는 단계;

상기 적층패턴의 하드마스크 표면이 드러날때까지 상기 제2절연막을 평탄화시키는 단계;

상기 표면이 드러난 하드마스크를 선택적으로 제거하여 상기 하부전극 표면을 상기 제2절연막 표면보다 낮추는 단계; 및

상기 하부전극을 포함한 상기 제2절연막 상에 강유전체막과 상부전극을 차례로 형성하는 단계

를 포함하는 강유전체 메모리 소자의 제조 방법.

【청구항 2】

제1항에 있어서,

상기 하드마스크는,



티타늄나이트라이드, 탄탈륨나이트라이드 또는 실리콘산화막인 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 3】

제1항에 있어서,

상기 하부전극 표면을 상기 제2절연막 표면보다 낮추는 단계는,

상기 하드마스크를 습식식각 또는 건식식각하여 이루어지는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 4】

제3항에 있어서,

상기 하드마스크의 습식식각은,

$\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}(1:4:20)$  또는  $\text{SPM}(\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2=4:1)$ 를 이용하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 5】

제3항에 있어서,

상기 하드마스크의 건식식각은,

아르곤과 염소의 혼합가스를 이용하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.



【청구항 6】

제1항에 있어서,

상기 적층패턴의 하드마스크 표면이 드러날때까지 상기 제2절연막을 평탄화시키는 단계는,

상기 제2절연막을 일부 화학적기계적연마하여 평탄화시키는 단계; 및

상기 일부 평탄화된 제2절연막을 에치백하여 상기 하드마스크 표면을 드러내는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 7】

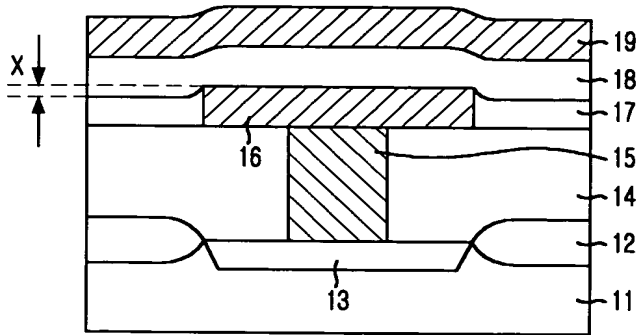
제1항에 있어서,

상기 적층패턴의 하드마스크 표면이 드러날때까지 상기 제2절연막을 평탄화시키는 단계는,

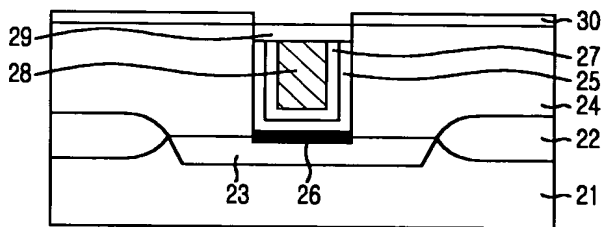
상기 제2절연막을 한 번에 화학적기계적연마하거나 또는 에치백하여 이루어지는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【도면】

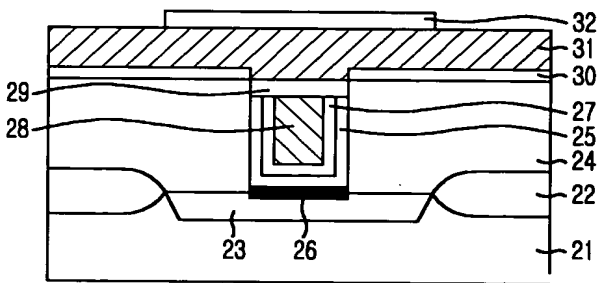
【도 1】



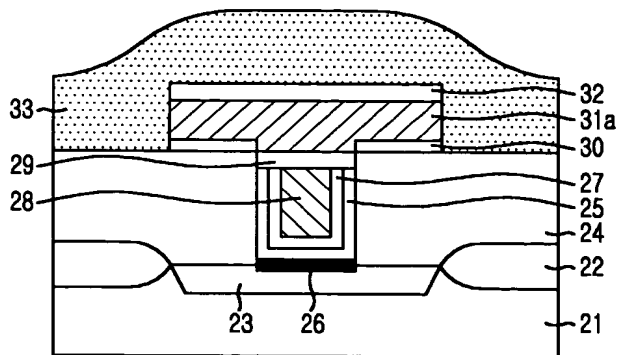
【도 2a】



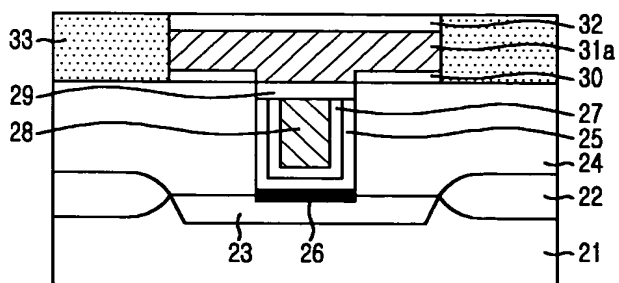
【도 2b】



【도 2c】



【도 2d】



【도 2e】

